

Application Note



AD Core – Funkční vzorek řadiče A/D převodníku se sběrníci SPI

Jiří Kadlec, Leoš Kafka, Jiří Svozil

kadlec@utia.cas.cz

Obsah

1. Úvod.....	2
2. Popis systému.....	2
3. Parametry funkčního vzorku ad_core	6
4. Použité/Potřebné vybavení a nástroje	7
5. Funkční vzorek A/D převodníku.....	8
6. Poděkování	11
7. AD_CORE demo.....	12
8. Licensing and availability (anglicky).....	12
9. Disclaimer (anglicky).....	12
10. Reference.....	13

Revize

Revize	Datum	Autor	Popis změn v dokumentu
0	20.4.2008	Jiří Svozil	Vytvoření dokumentu
1	10.7.2008	Jiří Svozil	Revize dokumentu
2	12.12.2009	Jiří Kadlec	Verze pro ISE 11.3 s popisem příkladu
3	31.12.2010	Jiří Kadlec	Verze pro ISE 12.4 s popisem příkladu
4	2.08.2011	Jiří Kadlec	Verze pro ISE 13.2 s popisem příkladu

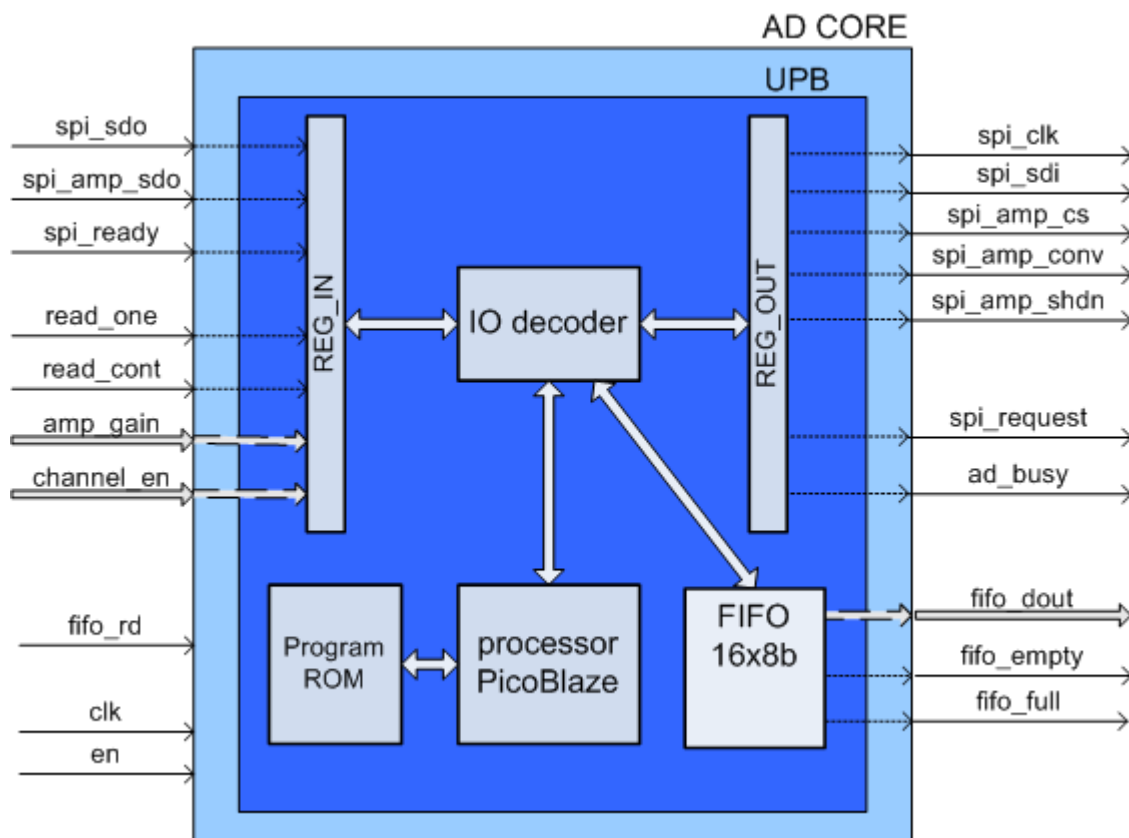
1. Úvod

Tento dokument popisuje funkční vzorek HW modulu řadiče dvoukanálového A/D převodníku a programovatelného zesilovače. Jádro řadiče je založeno na UPB (Universal PicoBlaze Wrapper). UPB je konfigurovatelný wrapper procesoru PicoBlaze [1].

Modul řadiče je vytvořen tak, aby uživateli umožnil práci s A/D převodníkem na vyšší úrovni, tzn. i bez rozsáhlých znalostí použitého hardware. Uživatel může tento modul zařazovat do složitějších systémů, kde tento modul pouze připojí a nemusí se zabývat samotným procesem řízení A/D převodníku. Řadič je nakonfigurován pro dvoukanálový A/D převodník LTC1407A-1 [4] a dvoukanálový programovatelný zesilovač LTC6912-1, které jsou na přípravku S3E1600 [2]. A/D převodník i programovatelný zesilovač jsou řízeny pomocí sběrnice SPI. Testovací příklad ověřující funkční vzorek HW modulu vychází z příkladu [6c], jehož autorem je Ken Chapman.

2. Popis systému

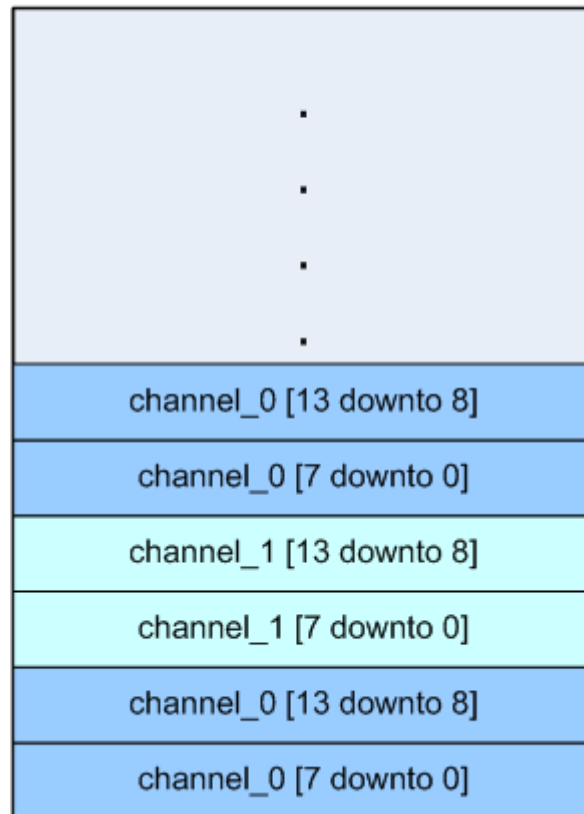
Univerzální řadič displeje je založen na konfigurovatelném wrapperu UPB jehož autorem je Ing. Leoš Kafka. V e funkčním vzorku ADCORE wrapper obsahuje výstupní FIFO o volitelné délce (standardně 16B), 5 vstupních a 3 výstupní registry. Blokové schéma znázorňuje Obr. 1.



Obrázek 1 Blokové schéma modulu A/D řadiče

Do paměti FIFO jsou ukládána data odečítaná z A/D převodníků. Protože převodníky jsou 14bitové, data jsou do FIFO ukládána po bytech. Nejprve je do FIFO uloženo 8 nižších bitů a poté 6 vyšších. Data jsou do paměti ukládána vždy pouze pro aktivní kanál (*channel_en*). Jsou-li aktivní oba kanály, jsou nejprve uloženy data z *Channel 0* a poté z *Channel 1*. Tento systém je znázorněn na obrázku Obrázek 2.

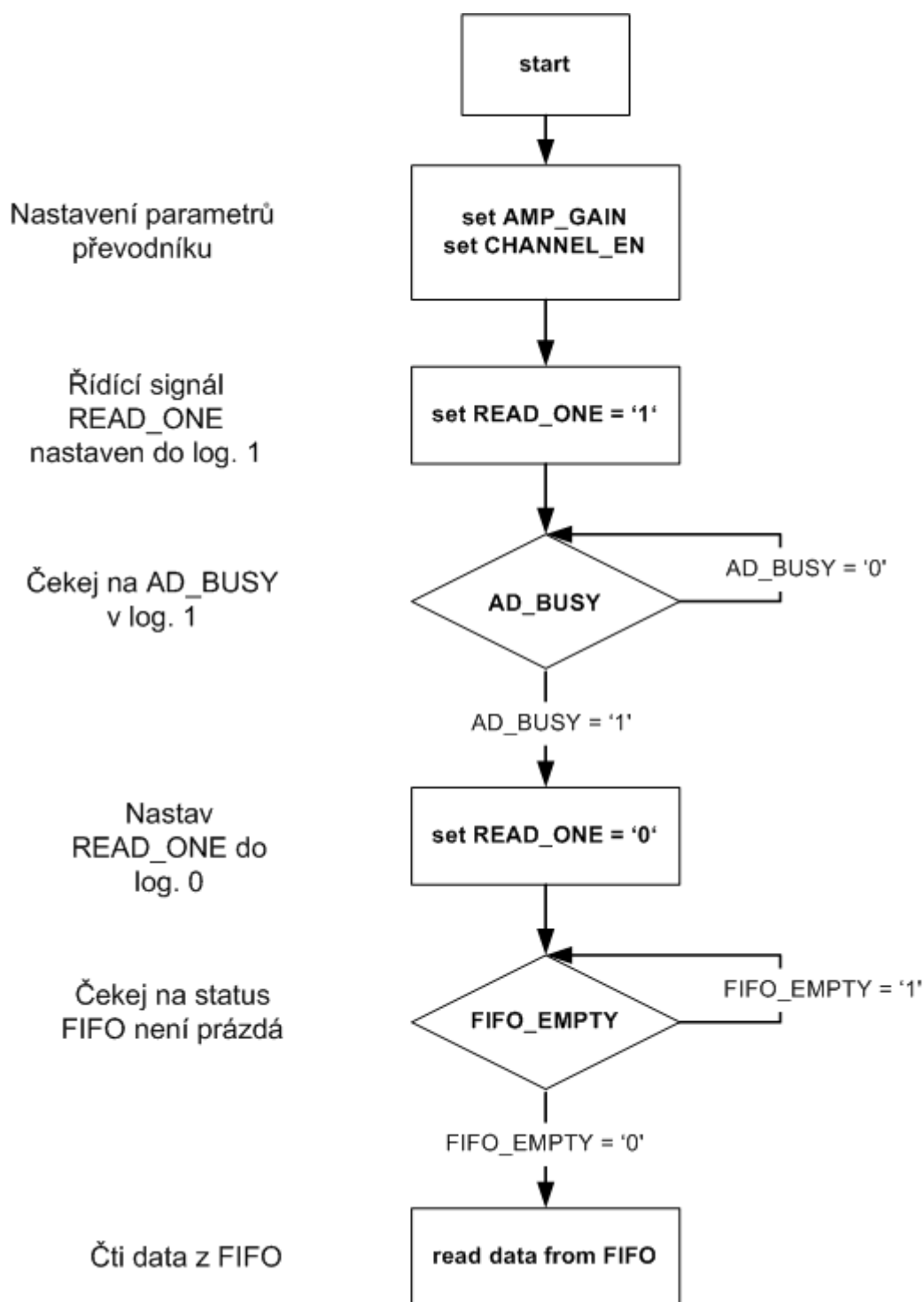
FIFO channel_en = "11"



Obrázek 2 Systém ukládání dat do FIFO (aktivní oba kanály)

Odběr vzorků je řízen signály *read_one* a *read_cont*, přičemž aktivní může být vždy pouze jeden. Signál *read_one* slouží k odebrání jednoho vzorku z každého aktivního kanálu. Signál *read_cont* pak k měření v intervalech zadaných frekvencí *SAMPLE_FREQ*.

Způsob jak používat *read_one* je držet signál vystavený dokud není nastaven výstupní signál modulu *ad_busy*, ten v tomto případě slouží jako potvrzení přijetí požadavku. Příklad algoritmu využívajícího signál *read_one* znázorňuje Obrázek 3.

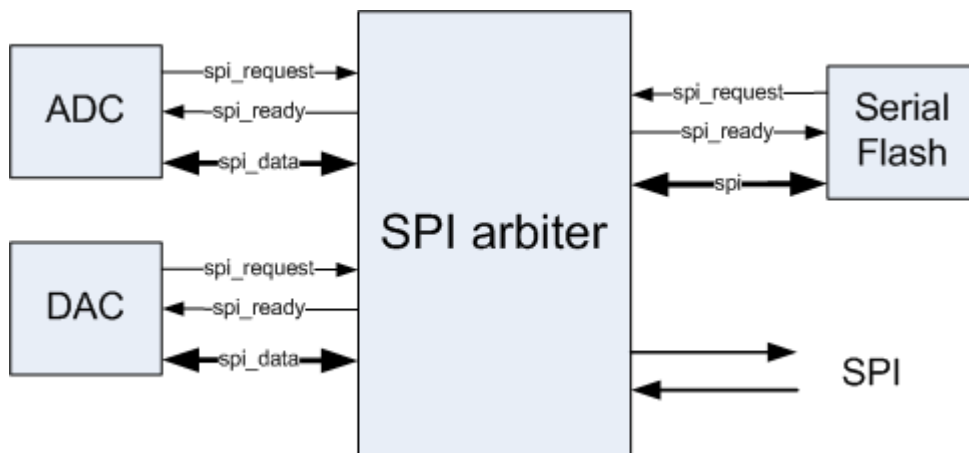


Obrázek 3 Příklad algoritmu využívajícího řídicí signál read_one

K určení, zda mají být data odebírána z obou převodníků, či pouze z jednoho slouží řídicí signál *channel_en*. Jeho velikost je dvoubitová, kde nižší bit slouží k aktivaci kanálu 0, vyšší bit k aktivaci kanálu 1.

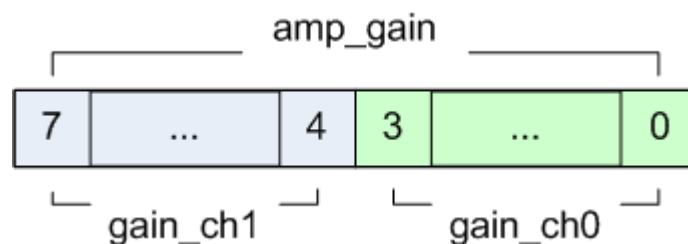
Signály *spi_request* a *spi_ready* slouží k řízení sběrnice SPI v případě připojení více zařízení na tuto sběrnici. Signál *spi_request* vysílá požadavek na uvolnění sběrnice SPI a teprve po potvrzení pomocí signálu *spi_ready* je zahájena komunikace s A/D převodníkem nebo zesilovačem. Příklad

zapojení více SPI modulů znázorňuje Obrázek 4. Zde jsou všechny moduly k sběrnici SPI připojeny pomocí tzv. SPI arbitru, který na základě definovaných pravidel řídí jejich komunikaci.



Obrázek 4 Ukázka možnosti řízení sběrnice SPI při použití více modulů

Zesílení obou kanálů je nastavováno pomocí 8bitového signálu `amp_gain`. Čtyři nižší bity jsou rezervovány pro kanál 0, vyšší čtyři pro kanál 1. Rozložení bitů v registru zobrazuje Obrázek 5.



Obrázek 5 Nastavení zesílení kanálů

Příznak `ad_busy` signalizuje dobu, kdy modul provádí nastavování a čtení hodnot z A/D převodníku. Během doby, kdy je tento signál v log. 1, nesmějí být měněny vstupy nastavující parametry modulu `amp_gain` a `channel_en`.

Dalšími vstupními porty jsou hodinový vstup `clk` a vstup pro aktivování modulu `en`. Seznam portů a jejich popis je v tabulce Tabulka 1.

Tabulka 1 - Přehled portů modulu A/D Core

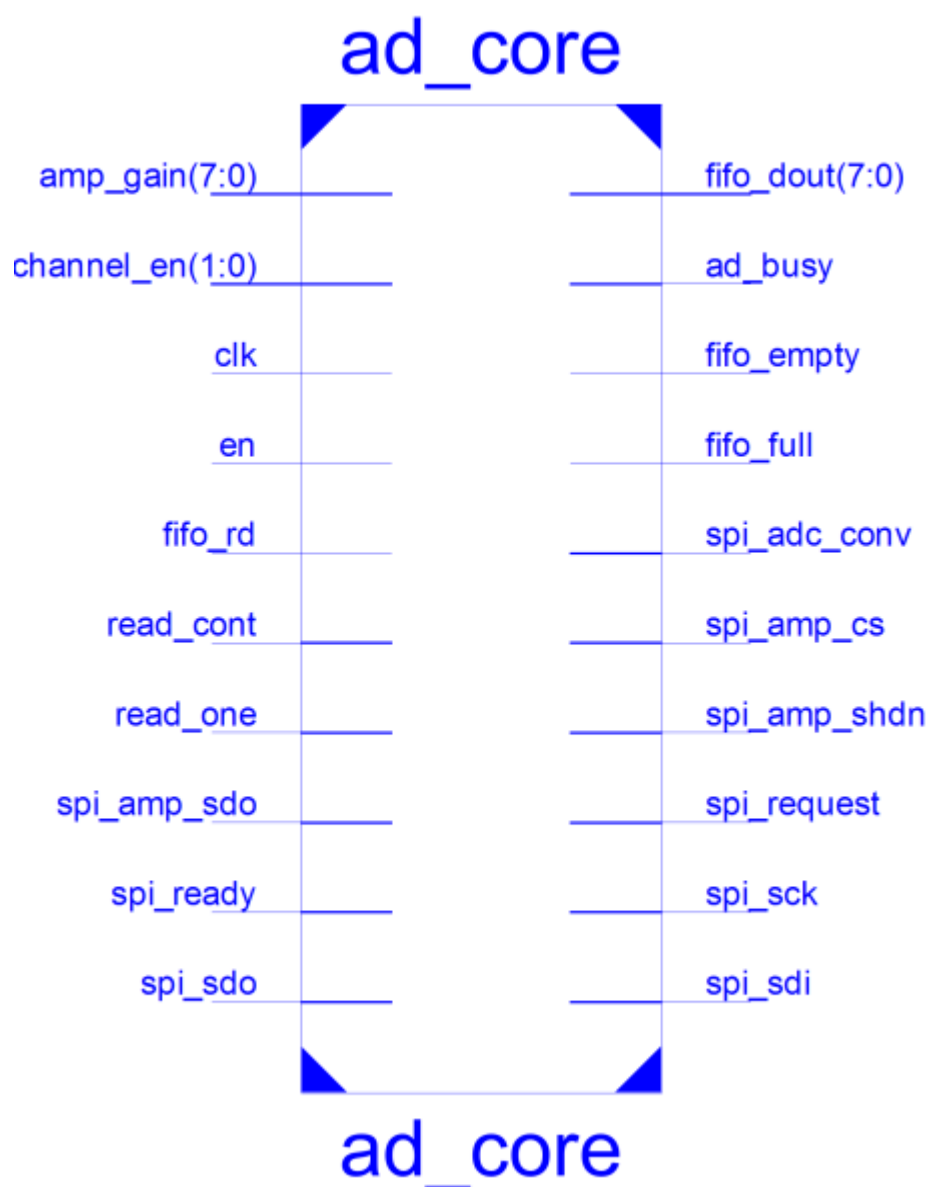
Port	Vstup/Výstup	Šířka [bit]	Význam
clk	Vstup	1	Hodinový signál
en	Vstup	1	Povolení funkce modulu (aktivní v log.1)
spi_sdo	Vstup	1	Vstup SPI dat
spi_ready	Vstup	1	Potvrzení požadavku spi_request
read_one	Vstup	1	Přečtení jednoho vzorku A/D
read_cont	Vstup	1	Kontinuální čtení A/D
amp_gain	Vstup	8	Nastavení zesílení
channel_en	Vstup	2	Povolení kanálů
fifo_rd	Vstup	1	Čtení FIFO
spi_clk	Výstup	1	Hodinový signál SPI
spi_sdi	Výstup	1	Datový výstup SPI
spi_amp_cs	Výstup	1	AMP chip-select (aktivní v log. 0)
spi_amp_conv	Výstup	1	Odběr vzorků z obou kanálů A/D
spi_amp_shdn	Výstup	1	Reset a vypnutí (aktivní v log. 1)
spi_request	Výstup	1	Žádost o SPI sběrnici
ad_busy	Výstup	1	Příznak signalizující, kdy modul pracuje
fifo_dout	Výstup	8	Výstupní data FIFO paměti
fifo_empty	Výstup	1	Příznak prázdné FIFO
fifo_full	Výstup	1	Příznak plné FIFO

3. Parametry funkčního vzorku ad_core

Velikost funkčního vzorku ad_core v ISE 13.2 je uvedena v Tabulce 2.

Tabulka 2 – Velikost AD_CORE

	XC3S1600E-4
	ad_core
Number of Slices	151
Number of Slice Flip Flop	160
Number of 4 input LUTs	285
Number of BRAMs	1



Obrázek 6 Modul `ad_core` v ISE 13.2

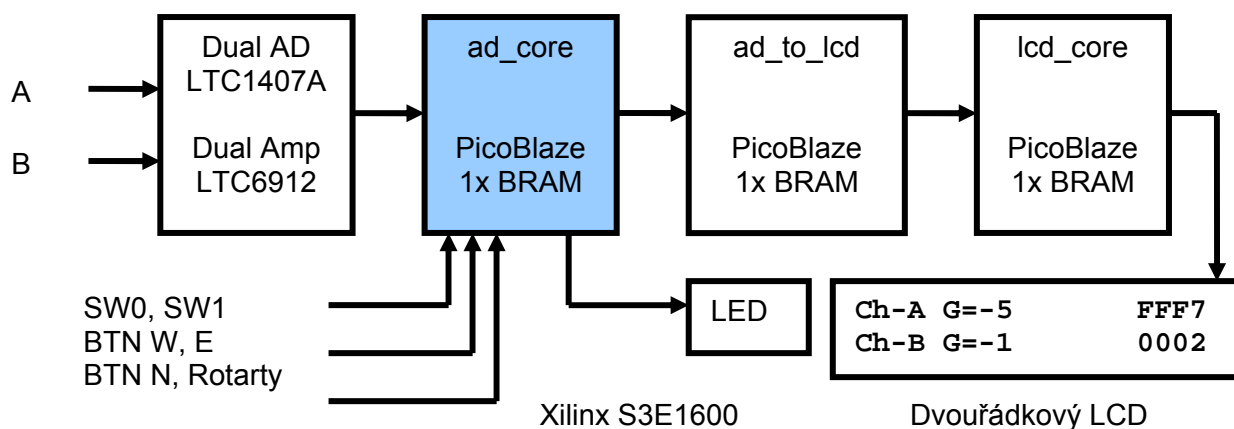
4. Použité/Potřebné vybavení a nástroje

Modul A/D převodníku byl napsán v programovacím jazyce VHDL ve vývojovém prostředí Xilinx ISE verze 13.2 [3]. Program procesoru PicoBlaze byl napsán v assembleru a k překladač byl použit assembler `KCPSM3.exe`, který je součástí balíčku procesoru PicoBlaze [1].

Testovací příklad byl vytvořeny pro vývojový kit Xilinx 3S1600E, viz příložené CD.

5. Funkční vzorek A/D převodníku.

Funkční vzorek HW modulu řadiče dvoukanalového A/D převodníku a programovatelného zesilovače je realizován pro kartu Xilinx S3E1600. Funkční vzorek demonstruje funkčnost modulu a umožňuje nastavení zesílení obou předzesilovačů a odečítání aktuálních hodnot z obou převodníků. Veškerá data jsou zobrazována na LCD. Ovládaní je prováděno pomocí tlačítek a přepínačů. Blokové schéma funkčního vzorku zachycuje Obr. 7.



Obrázek 7: Blokové schéma funkčního vzorku s AD_CORE

Dvouřádkový LCD : - první řádek displeje odpovídá kanálu A, druhý kanálu B

Nastavení Předzesilovačů:

- nastavení zesílení předzesilovače kanálu A = BTN North a BTN potenciometru
- nastavení zesílení předzesilovače kanálu B = BTN West a BTN East

Čtení hodnot:

- READ_ONE (odečti jeden vzorek z obou kanálů) ~ SW0
- READ_CONT (s genericky nastavenou frekvencí odečítá vzorky z obou kanálů) ~ SW1
- signál BUSY (ad_core) je přiveden na LED - LD0

Hodnot zesílení jsou nastavitelné na hodnoty -1x, -2x, -5x, -10x, -20x, -50x a -100x. Rozsah dovolených analogových vstupů je uveden v tabulce 3.

Tabulka 3 – Rozsah dovolených analogových vstupů

Rozsah dovolených analogových vstupů a odpovídající výstupní hodnoty (14 bit)							
	Min	Střed	Max	Rozsah	Min		Max
Gain	[V]	[V]	[V]	[mV]	Výstup ve dvojkovém doplňku		
-1x	0.4	1.65	2.9	1650+/-1250.0	0xFFFFC000	0	0x00003FFF
-2x	1.025	1.65	2.275	1650+/- 625.0	0xFFFFC000	0	0x00003FFF
-5x	1.4	1.65	1.9	1650+/- 250.0	0xFFFFC000	0	0x00003FFF
-10x	1.525	1.65	1.775	1650+/- 125.0	0xFFFFC000	0	0x00003FFF
-20x	1.5875	1.65	1.7125	1650+/- 62.5	0xFFFFC000	0	0x00003FFF
-50x	1.625	1.65	1.675	1650+/- 25.0	0xFFFFC000	0	0x00003FFF
-100x	1.6375	1.65	1.6625	1650+/- 12.5	0xFFFFC000	0	0x00003FFF

Hodiny systému 75 MHz jsou generovány v FPGA z hodinového signálu desky 50 MHz pomocí modulu dcm_mhz.

Maximální vzorkovací frekvence modulu je 50 kHz a to pro měření oběma kanály současně.

Velikost a proudový odběr implementovaného demonstrátoru funkčního vzorku v ISE 13.2 je uvedena v tabulce 4.

Tabulka 4 – Příklad ADC_CORE velikost a odběr celého HW

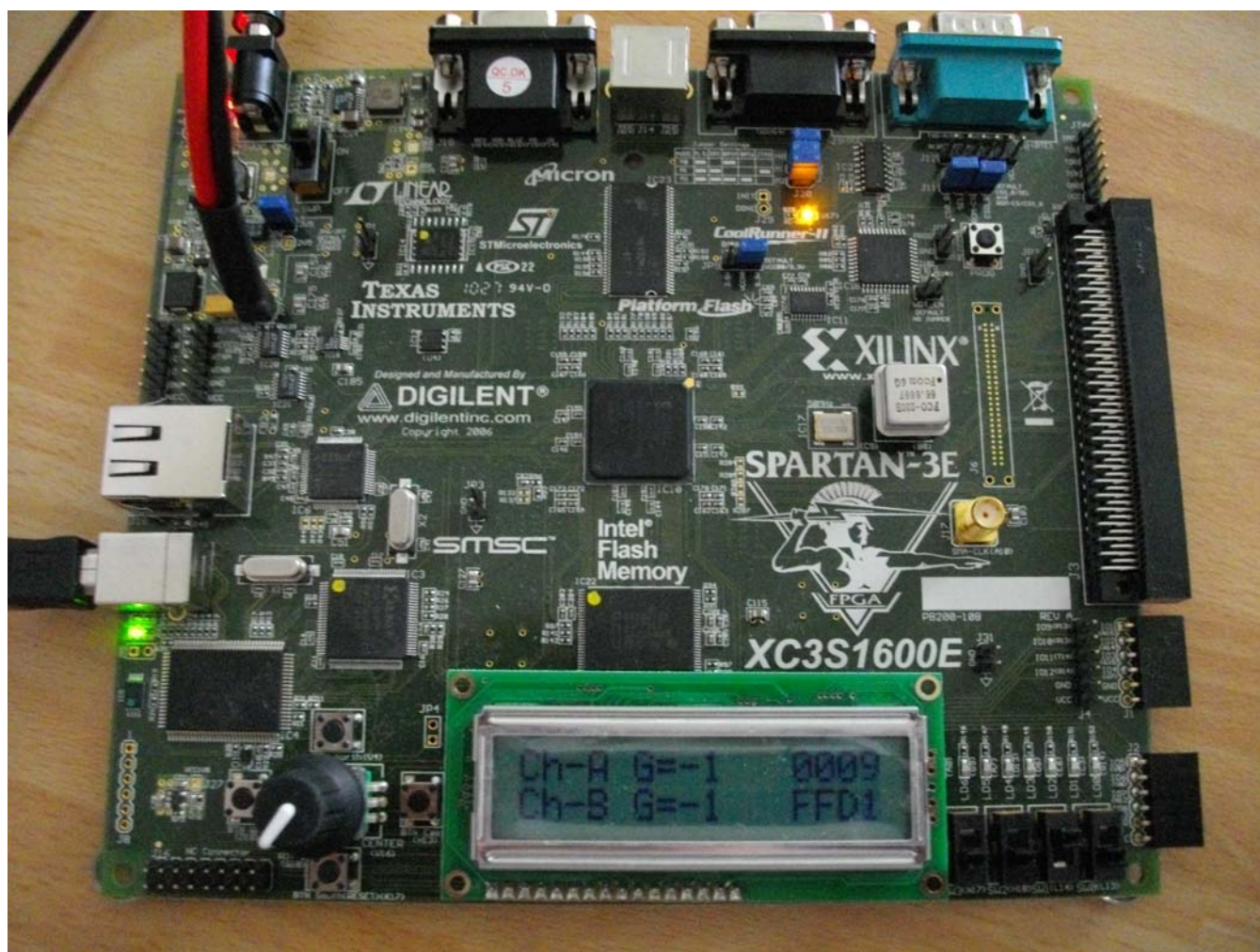
	XC3S1600E-4
	top_3s1600e
Number of Slices	422
Number of Slice Flip Flop	368
Number of 4 input LUTs	701
Number of BRAMs	3
VCCINT 1,2V (FPGA)	60mA
Odběr na 5,0V zdroji	510mA

Vstupy a výstupy funkčního vzorku modulu řadiče dvoukanálového A/D převodníku a programovatelného zesilovače na desce S3E1600

Tabulka 5 – Vstupy a výstupy funkčního vzorku AD_CORE na desce S3E1600

	<p>NET clk LOC = C9 IOSTANDARD = LVCMOS33; NET led LOC = D4 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 8;</p> <p>NET spi_sck LOC = U16 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 8; NET spi_sdi LOC = T4 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 8; NET spi_sdo LOC = N10 IOSTANDARD = LVCMOS33; NET spi_rom_cs LOC = U3 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 8; NET spi_amp_cs LOC = N7 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 8; NET spi_adc_conv LOC = P11 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 8; NET spi_dac_cs LOC = N8 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 8; NET spi_amp_shdn LOC = P7 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 8; NET spi_amp_sdo LOC = E18 IOSTANDARD = LVCMOS33; NET spi_dac_clr LOC = P8 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 8;</p> <p>NET strataflash_oe LOC = C18 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 2; NET strataflash_ce LOC = D16 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 2; NET strataflash_we LOC = D17 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 2; NET platformflash_oe LOC = T3 IOSTANDARD = LVCMOS33 SLEW = SLOW DRIVE = 2;</p> <p>NET lcd_rs LOC=L18 IOSTANDARD = LVCMOS33; NET lcd_rw LOC=L17 IOSTANDARD = LVCMOS33; NET lcd_e LOC=M18 PULLDOWN IOSTANDARD = LVCMOS33;</p> <p>NET lcd_d<4> LOC=M16 IOSTANDARD = LVCMOS33; NET lcd_d<5> LOC=P6 IOSTANDARD = LVCMOS33; NET lcd_d<6> LOC=R8 IOSTANDARD = LVCMOS33; NET lcd_d<7> LOC=T8 IOSTANDARD = LVCMOS33;</p> <p>NET sf_d_12 LOC=R15 IOSTANDARD = LVCMOS33; NET sf_d_13 LOC=R16 IOSTANDARD = LVCMOS33; NET sf_d_14 LOC=P17 IOSTANDARD = LVCMOS33; NET sf_d_15 LOC=M15 IOSTANDARD = LVCMOS33;</p> <p>NET LCD_RET LOC=E3 IOSTANDARD = LVCMOS33; NET LCD_CS1 LOC=P3 IOSTANDARD = LVCMOS33; NET LCD_CS2 LOC=P4 IOSTANDARD = LVCMOS33;</p> <p>NET switch<0> LOC = L13 IOSTANDARD = LVCMOS33 PULLUP; NET switch<1> LOC = L14 IOSTANDARD = LVCMOS33 PULLUP;</p> <p>NET btn_north LOC = V4 IOSTANDARD = LVCMOS33 PULLDOWN; NET btn_east LOC = H13 IOSTANDARD = LVCMOS33 PULLDOWN; NET btn_west LOC = D18 IOSTANDARD = LVCMOS33 PULLDOWN;</p> <p>NET rotary_hw_press LOC = V16 IOSTANDARD = LVCMOS33 PULLDOWN;</p>
--	---

Funkční vzorek modulu řadiče dvoukanálového A/D převodníku a programovatelného zesilovače na desce S3E1600 je zobrazen na obr. 8.



Obrázek 8: Funkční vzorek modulu řadiče dvoukanalového A/D převodníku a programovatelného zesilovače na desce S3E1600

6. Poděkování

Návrh a realizace tohoto funkčního vzorku byla podpořena projektem ministerstva školství a tělovýchovy číslo 2C06008, <http://www.vlam.cz>.

7. AD_CORE demo

S3E1600\ impl\ ad_core\ ad_core.ngc	Modul převodníku
ad_to_lcd\ ad_to_lcd.ngc	Modul převádí výstup z ad_core na text
dcm_mhz\ dcm_mhz.ngc	Modul generující hodinový signál 75 MHz
lcd_core\ lcd_core.ngc	Modul LCD dvouřádkového zobrazovače
top_3s1600e\ ...	Projekt pro překlad funkčního vzorku pomocí Xilinx ISE 13.2
top_3s1600e_bit\ top_3s1600e_mcf\ src\ ucf\ top_3s1600e.ucf	Konfigurační data funkčního vzorku Konfigurační data pro platform flash
vhdl\ top_3s1600e.vhd	Definice vstupů a výstupů pro 3s1600e Zdrojový kód ve VHDL (top level)

8. Licensing and availability (anglicky)

This functional sample is provided in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 [2]. If you plan to use this functional sample netlist for education purposes, you can contact UTIA AV CR, v.v.i. for support. The contact person in UTIA is Jiri Kadlec kadlec@utia.cas.cz tel. +420 2 6605 2216 fax. +420 2 6605 2511.

If you consider commercial use of this functional sample in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 FPFA or if you need the source code of this functional sample, please contact UTIA AV CR v.v.i. Commercial End User License Agreement (Commercial EULA) between you and UTIA AV CR, v.v.i. needs to be signed. The contact person in UTIA is Jiri Kadlec kadlec@utia.cas.cz tel. +420 2 6605 2216 fax. +420 2 6605 2511.

9. Disclaimer (anglicky)

This disclaimer is not a license and does not grant any rights to the materials distributed herewith. Except as otherwise provided in a valid license issued to you by UTIA AV CR v.v.i., and to the maximum extent permitted by applicable law:

- (1) THIS APPLICATION NOTE AND RELATED MATERIALS LISTED IN THE PACKAGE CONTENT ARE MADE AVAILABLE "AS IS" AND WITH ALL FAULTS, AND UTIA AV CR V.V.I. HEREBY DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and
- (2) UTIA AV CR v.v.i. shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under or in connection with these materials, including for any direct, or any indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if

such damage or loss was reasonably foreseeable or UTIA AV CR v.v.i. had been advised of the possibility of the same.

Critical Applications:

UTIA AV CR v.v.i. products are not designed or intended to be fail-safe, or for use in any application requiring fail-safe performance, such as life-support or safety devices or systems, Class III medical devices, nuclear facilities, applications related to the deployment of airbags, or any other applications that could lead to death, personal injury, or severe property or environmental damage (individually and collectively, "Critical Applications"). Customer assumes the sole risk and liability of any use of UTIA AV CR v.v.i. products in Critical Applications, subject only to applicable laws and regulations governing limitations on product liability.

10. Reference

- [1] PicoBlaze 8-bit Embedded Processor UG129 June 22, 2011
http://www.xilinx.com/support/documentation/ip_documentation/ug129.pdf
- [2] MicroBlaze Development Kit Spartan-3E 1600E Edition User Guide UG257 (v1.1) December 5, 2007
http://www.xilinx.com/support/documentation/boards_and_kits/ug257.pdf
- [3] Xilinx ISE 13.2, <http://www.xilinx.com/>
- [4] řadič HD44780 <http://www.datasheetarchive.com/HD44780-datasheet.html>
- [5] Spartan3 datasheet http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf
- [6] Xilinx Spartan-3E FPGA Starter Kit Board Design Examples
http://www.xilinx.com/products/boards/s3estarter/reference_designs.htm
- [6a] Ken Chapman, Initial Design for Spartan-3E Starter Kit (LCD Display Control), ISE 8.1i, Xilinx Ltd 16th, February 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_startup.pdf
- [6b] Ken Chapman, Rotary Encoder Interface for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 20th February 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_rotary_encoder_interface.pdf
- [6c] Ken Chapman, Amplifier and A/D Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 23rd February 2006
www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_amplifier_and_adc_control.pdf
- [6d] Ken Chapman, D/A Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 21st February 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_dac_control.pdf
- [6e] Ken Chapman, NOR FLASH Programmer for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, March 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_nor_flash_programmer.pdf
- [6f] Ken Chapman, SPI FLASH Programmer for Spartan-3E Starter Kit, ISE 7.1i, Xilinx Ltd, November 2004
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_spi_flash_programmer.pdf
- [6g] Ken Chapman, Frequency Generator for Spartan-3E Starter Kit, ISE 8.2i, Xilinx Ltd, 18th July 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_generator.pdf
- [6h] Ken Chapman, Frequency Counter for Spartan-3E Starter Kit (with test oscillators), ISE 8.1i, Xilinx Ltd, 7th March 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_counter.pdf
- [6i] Ken Chapman, Software Implementation of Pulse Width Modulation (PWM). A reference design using the Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 24th May 2006
http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_pwm_control.pdf